ESAME 5/7/2022

QUIZ:

1->1024

2->A

3->A

4->A

5->1024/4=10-2=8 bit=256

6->A

7->C Maggiore semplicità dell’hardware CPU in I/O programmato rispetto a interrupt

8->A

9->A

10-> lui $s1, 0x1234

Ori $s1, $s1, 0x5678

9/10

ESERCIZI:

1. Ok
2. Ok
3. Un processore RISC è un processore che possiede una grande quantità di registri a discapito del numero di istruzioni che invece è limitato. Questo permette alla CPU di ‘parcheggiare’ le variabili usate più di frequente nei registri stessi in modo tale fare accesso il meno possibile al bus per accedere in memoria e limitare quindi il fenomeno del collo di bottiglia. Inoltre i RISC possiedono istruzioni regolari e semplici, ciò permette l’utilizzo di un’unità di controllo cablata e l’implementazione della pipeline in quanto è possibile fissare ‘n’ stadi attraverso cui passa l’elaborazione di tutte le istruzioni, in ognuno dei quali ogni istruzione viene elaborata in un colpo di clock (in condizioni ideali). Grazie alla pipeline dunque il CPI (Clock Per Instruction) di tali processori è nelle condizioni ideali uguale a 1, altrimenti è maggiore.
4. Una memoria DRAM, ovvero di tipo dinamico, sono caratterizzate da celle di memoria, ognuna costituita da un condensatore, in cui si memorizza l’informazione sottoforma di carica, e da un transistor che connette il condensatore alla linea di dato e alla linea di parola. Per questo la DRAM ha come vantaggio quello di essere più economica della SRAM, la quale invece possiede due transistor e un flip flop SR (per un totale di 6 transistor). Gli svantaggi delle DRAM consistono principalmente nella scarsa affidabilità e resistenza dovuta all’esposizione alle radiazioni che possono danneggiare la carica, alla perdita di carica nel corso del tempo che richiede un refreshing periodico e al Destructive Readout. Quest’ultimo consiste nell’eliminazione della carica una volta letta l’informazione, dunque le DRAM necessitano di un ciclo di riscrittura dell’informazione ogni qual volta questa viene letta. Proprio per questi problemi di affidabilità spesso sono utitlizzati dei codici di protezione come il codice di parità o i codici di Hamming.

ESAME 11/02/2020

QUIZ:

1->24+log2(76)=24+7=31

2->B

3->B

4->D

5->C

6-> 0110 0110 1001 0010 0000 10 10 0001->33

7->B

8->D

9->D

10-> lw $t0, (VAR1)

Lw $t1, (VAR2)

Bgt $t0, $t1, L1

Li $t2, -1

Sw $t2, (VAR3)

J L2

L1:

li $t2, 1

Sw $t2, (VAR3)

L2:

9/10

ESERCIZI:

1)

Il DMA è un metodo di trasferimento dati tra CPU e periferiche per le grandi moli di dati che garantisce la massima velocità, se utilizzato in Burst Transfer Mode. Il meccanismo è il seguente, il periferico che vuole eseguire un trasferimento invia la richiesta al DMA Controller (DMAC), il quale invia il segnale di DMA REQUEST alla CPU. Quando essa è pronta invia il segnale di DMA ACKNOWLEDGE e inizia la fase di programmazione in cui riempie i registri DATA COUNTER e IOAR che contengono rispettivamente il quantitativo di dati da trasferire e gli indirizzi a cui trasferirli. In seguito, vengono ritirati i segnali di DMA REQUEST ed ACKNOWLEDGE e quando il DC giunge a zero, il trasferimento può considerarsi concluso e il DMAC invia un segnale di interrupt alla CPU per notificarlo.

2)

Ok

3)

Ok

4)

L’unità di controllo microprogrammata gestisce l’esecuzione delle microistruzioni, essa comunica direttamente con l’IR del sistema di elaborazione mediante il circuito di generazione dell’indirizzo che pilota l’indirizzo della microistruzione da eseguire al microPC. Il microPC fa quindi accesso alla memoria in microcodice pilotando in uscita i segnali di controllo corrispondenti che entrano nel microIR. Quest’ultimo pilota i segnali verso l’unità di elaborazione e verso il circuito di generazione dell’indirizzo per la microistruzione successiva.

Il microPC possiede i bit necessari per codificare il numero di parole, dunque è dimensionato come l’intero superiore di log2(250), ovvero 8 bit.

Il microIR possiede tanti bit quanti sono quelli posseduti da ciascuna parola, quindi possiede 180 bit.